

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-149293

(43)Date of publication of application : 02.06.1998

(51)Int.Cl.

G06F 9/46
G06F 9/46
G06F 13/24
G06F 15/163

(21)Application number : 09-290884

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 23.10.1997

(72)Inventor : SANJAY RAGHUNATH
DESHUPANDE

(30)Priority

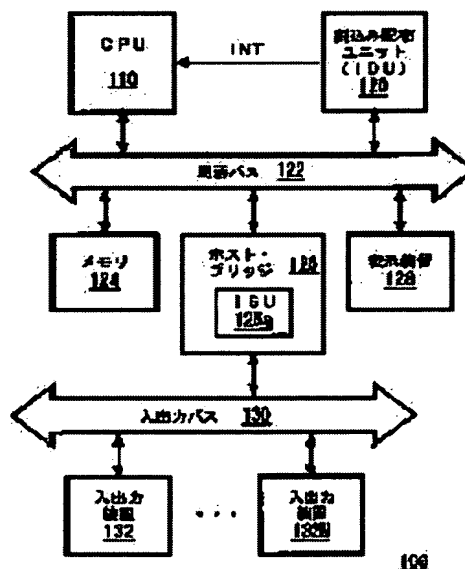
Priority number : 96 739088 Priority date : 28.10.1996 Priority country : US

(54) METHOD AND DEVICE FOR PROCESSING INTERRUPTION

(57)Abstract:

PROBLEM TO BE SOLVED: To use a decentralized implementation style of interruption controllers which are defined in open type interruption controller architecture by receiving interruption signals and discarding an interruption signal showing a different state from the state of an interruption distributing means.

SOLUTION: Respective input/output interruption packets carry the value of a reset counter. An IDU (interrupt distribution unit) 120, when receiving those input/output interruption packets, compares the values that the packet indicate with the value of its master reset counter. When those values are not the same, the received interruption packets are ineffective and discarded. Therefore, it is evident that interruption packets which are sent while the IDU 120 is resent carry last reset generation identification. Then the IDU 120 makes good use of this fact and discriminates that the input/output interrupt packets are ineffective.



LEGAL STATUS

[Date of request for examination] 20.01.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-149293

(43) 公開日 平成10年(1998) 6月2日

(51) Int.Cl. ⁶	識別記号	F I
G 0 6 F 9/46	3 1 0	G 0 6 F 9/46
	3 6 0	3 1 0 Z
13/24	3 1 0	3 6 0 A
15/163		13/24 3 1 0 H
		15/16 3 1 0 P

審査請求 未請求 請求項の数23 O L (全 9 頁)

(21) 出願番号 特願平9-290884

(22) 出願日 平成9年(1997)10月23日

(31) 優先権主張番号 08/739088

(32) 優先日 1996年10月28日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(72) 発明者 サンジャイ・ラグナート・デシュバンデ
アメリカ合衆国78729 テキサス州オースチン エルクホーン・マウンテン・トレール 7905

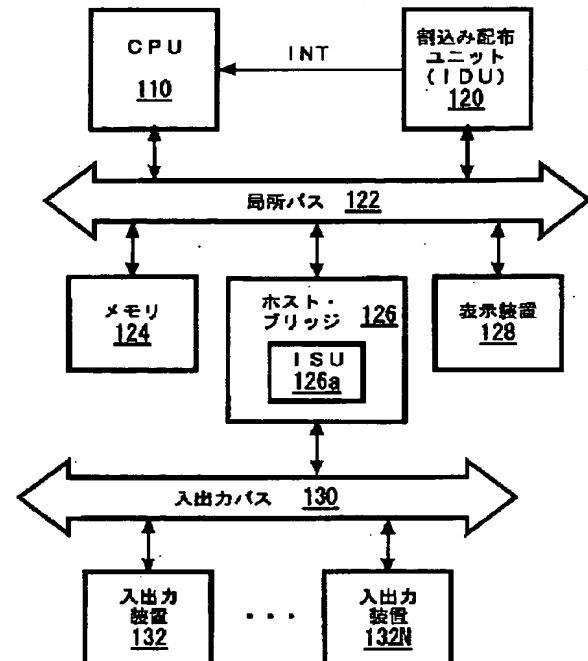
(74) 代理人 弁理士 坂口 博 (外1名)

(54) 【発明の名称】 割り込みを処理するための方法および装置

(57) 【要約】

【課題】 本発明の目的は、OpenPIC仕様に適合する割り込み配布コントローラの分散実施態様を実現する方法および装置を提供することである。

【解決手段】 システムの大きい性能低下なしに、事実上無制限の個数の割り込みソース・ユニットをサポートできる。これは、割り込み配布コントローラのためのマスタ・リセット・ビットと、割り込みソース・ユニットのそれぞれのためのリセット・ビットを使って、それらのそれぞれの現在の状況を示すことによって達成される。マスタ・リセット・ビットをリセット・ビットと組み合わせて使用して、割り込み配布コントローラがリセットされている間に送られた割り込みを破棄する。したがって、処理を進める前に、状況のリセットに関する割り込みソース・ユニットのそれぞれからの肯定応答を待つ必要がなくなる。



1

【 特許請求の範囲】

【請求項1】リセット 割込み制御信号を受け取り、これに
 応答して割込みソース手段の状況を変更する手段を含む、

割込みソース手段の状況の表示を有する割込み信号を作成し、
 送出するための割込みソース手段と、

リセット 信号を受け取り、これに応答して割込み配布手段の
 状況を変更する手段、および割込み配布手段の状況と異なる
 状況を示す、受け取った割込み信号を破棄する手段、および
 リセット 信号の受取に
 応答して、リセット 割込み制御信号を送出する手段を含む、

割込み信号を受け取り、処理するための割込み配布手段と、

を含む、データ処理システムの中央演算処理装置への割込みを
 処理するための装置。

【請求項2】割込みソース手段が、割込みソース手段の状況
 を示すためのリセット・カウンタを含むことを特徴とする、
 請求項1に記載の装置。

【請求項3】割込み制御信号が、リセット 値を含み、リ
 セット 割込み制御信号を受け取る手段が、リセット 割込み
 制御信号を受け取り、リセット・カウンタの値をリセ
 ット 値に変更する手段を含むことを特徴とする、請求項
 2に記載の装置。

【請求項4】割込み信号のそれぞれが、リセット・カウ
 ンタの値を含むことを特徴とする、請求項3に記載の装
 置。

【請求項5】割込み配布手段が、割込み配布手段の現在
 の状況を示す値を有するマスタ・リセット・カウンタを含
 むことを特徴とする、請求項4に記載の装置。

【請求項6】割込み制御信号が、マスタ・リセット・カ
 ウンタの値を含むことを特徴とする、請求項5に記載の
 装置。

【請求項7】複数の割込みソース手段が存在することを
 特徴とする、請求項6に記載の装置。

【請求項8】割込み信号のそれぞれがその作成時点での
 割込みソース・ユニットの状況を示す、複数の割込み信
 号を、割込みソース・ユニットを使用して作成するステ
 ップと、

割込み配布ユニットをリセットし、それによって、割込
 み配布ユニットの状況が割込みソース・ユニットの状況
 と異なるようにするステップと、

割込み配布ユニットの状況と異なる状況を示す割込み信
 号のそれぞれを破棄するステップとを含む、データ処理
 システムの中央演算処理装置への割込みを処理する方
 法。

【請求項9】割込みソース・ユニットが、割込みソース
 ・ユニットの状況を示すためのリセット・カウンタを含
 み、複数の割込み信号を作成するステップが、割込み信
 号のそれぞれがリセット・カウンタの値を示す、複数の
 割込み信号を、割込みソース・ユニットを使用して作成

2

するステップを含むことを特徴とする、請求項8に記載
 の方法。

【請求項10】割込み配布ユニットが、割込み配布ユニ
 ャットの状況を示すマスタ・リセット・カウンタを含み、
 割込み配布ユニットをリセットするステップが、割込み
 配布ユニットをリセットし、これによって、マスタ・リ
 セット・カウンタが変更されてリセット・カウンタの値
 と異なる値を有するようになるステップを含むことを特
 徴とする、請求項9に記載の方法。

10 【請求項11】破棄するステップが、マスタ・カウン
 タの値と等しくないリセット 値を示す割込み信号のそれ
 ぞれを破棄するステップを含むことを特徴とする、請求
 項10に記載の方法。

【請求項12】複数の割込み信号を作成するステップ
 が、

割込み配布ユニットのリセットの前に、リセット・カウ
 ンタの値を示す第1 割込み信号を、割込みソース・ユニ
 ャットを使用して作成するステップと、

割込み配布ユニットのリセットの後に、リセット・カウ
 ンタの値を示す第2 割込み信号を、割込みソース・ユニ
 ャットを使用して作成するステップとを含むことを特徴と
 する、請求項11に記載の方法。

【請求項13】破棄するステップが、示されるリセッ
 ト 値がマスタ・リセット 値と異なるので第2 割込み信号
 を破棄するステップを含むことを特徴とする、請求項12
 に記載の方法。

【請求項14】さらに、示されるリセット 値がマスタ・
 リセット 値と同一なので第1 割込み信号を処理するステ
 ップを含むことを特徴とする、請求項13に記載の方
 法。

【請求項15】割込み信号のそれぞれが割込みソース手
 段の状況を示す、複数の割込み信号を作成するための割
 込みソース手段と、

割込み信号を処理するための割込み配布手段とを含む、
 前記割込み配布手段が、

割込み配布手段をリセットし、これによって、割込み配
 布手段の状況が割込みソース手段の状況と異なるように
 する手段と、

割込み配布手段の状況と異なる状況を示す割込み信号の
 それぞれを破棄する手段とを含む、

データ処理システムの中央演算処理装置への割込みを処
 理する装置。

【請求項16】割込みソース手段が、割込みソース手段
 の状況を示すリセット・カウンタを含むことを特徴とす
 る、請求項15に記載の装置。

【請求項17】割込みソース手段が、割込み信号のそれ
 ぞれがその作成時点でのリセット・カウンタの値を示す
 複数の割込み信号を作成する手段を含むことを特徴とす
 る、請求項16に記載の装置。

50 【請求項18】割込み配布手段が、割込み配布手段の状

3

況を示すマスタ・リセット・カウンタを含むことを特徴とする、請求項17に記載の装置。

【請求項19】割込み配布手段をリセットする手段が、割込み配布手段をリセットし、これによって、マスタ・リセット・カウンタが変更されてリセット・カウンタの値と異なる値を有するようにする手段を含むことを特徴とする、請求項18に記載の装置。

【請求項20】破棄する手段が、マスタ・カウンタの値と等しくないリセット値を示す割込み信号のそれぞれを破棄する手段を含むことを特徴とする、請求項19に記載の装置。

【請求項21】割込みソース手段が、割込み配布手段のリセットの前に、リセット・カウンタの値を示す第1割込み信号を作成する手段と、割込み配布手段のリセットの後に、リセット・カウンタの値を示す第2割込み信号を作成する手段とを含むことを特徴とする、請求項19に記載の装置。

【請求項22】破棄する手段が、示されるリセット値がマスタ・リセット値と異なるので第2割込み信号を破棄する手段を含むことを特徴とする、請求項21に記載の装置。

【請求項23】割込み配布手段がさらに、示されるリセット値がマスタ・リセット値と同一なので第1割込み信号を処理する手段を含むことを特徴とする、請求項20に記載の装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、全般的には割込みコントローラに関し、具体的には、割込みコントローラの分散実施態様に関する。

【0002】

【従来の技術】最近、OpenPIC standards committee (OpenPIC標準規格委員会)が、多重プロセッサ・コンピュータ・システム用のOpen Peripheral Interrupt Controller (OpenPIC) Architecture (開放型割込みコントローラ・アーキテクチャ)を定義した。OpenPICの主目的は、割込みコントローラの実施態様に関して業界内の統一と互換性を実現することである。OpenPICに関する具体的な情報は、Advanced Micro Devices (アドバンスト・マイクロ・デバイセズ)社と Cyrix Corporation (サイリックス)社が発行した「OpenPIC Register Interface Specification Revision 1.2」(以下ではOpenPICと称する)に記載されている。

【0003】全般的には、OpenPICは、汎用割込みコントローラの定義である。したがって、この規格に適合する異なる実施態様を開発できるようになり、それらから生じる多数の異なる問題の解決がもたらされる。そのような解決の1つは、汎用割込みコントローラに関してOpenPICが提供する現在の定義が、不必要な

4

多数の信号経路を必要とせず、それから生じる長い割込み応答待ち時間を必要としないことである。

【0004】

【発明が解決しようとする課題】したがって、上で述べた問題を防止するために、OpenPICによって定義された割込みコントローラの分散実施態様を使用する装置および方法を有すると有利であることは、疑う余地がない。本発明は、そのような方法および装置を提供する。

【0005】

【課題を解決するための手段】1態様では、本発明は、データ処理システムの中央演算処理装置に対する割込みを処理するための装置である。この装置には、割込みソース手段の状況の表示を有する割込み信号を作成し、送出するための割込みソース手段が含まれる。割込みソース手段には、リセット割込み制御信号を受け取り、これに応答して割込みソース手段の状況を変更する手段が含まれる。

【0006】この装置には、割込み信号を受け取り、処理するための割込み配布手段も含まれる。割込み配布手段には、リセット信号を受け取り、これに応答して割込み配布手段の状況を変更する手段が含まれる。割込み配布手段には、受け取った割込み信号のうちで、割込み配布手段の状況とは異なる状況を示す割込み信号を破棄する手段も含まれる。さらに、割込み配布手段には、リセット信号の受取に応答して、リセット割込み制御信号を送出する手段も含まれる。

【0007】もう1つの態様では、本発明は、データ処理システムの中央演算処理装置に対する割込みを処理する方法である。この方法には、割込みソース・ユニットを使用して複数の割込み信号を作成するステップが含まれる。割込み信号のそれぞれは、割込みソース・ユニットの状況を表す。この方法には、さらに、割込み配布ユニットをリセットするステップが含まれ、これによって、割込み配布ユニットの状況が割込みソース・ユニットの状況と異なるようになる。この方法には、割込み配布ユニットの状況と異なる状況を示す割込み信号のそれぞれを破棄するステップが含まれる。

【0008】

【発明の実施の形態】図1を参照すると、本発明の第1の好ましい実施例を実行できるデータ処理システム100のブロック図が示されている。データ処理システム100には、中央演算処理装置(CPU)110、割込み配布ユニット(IDU)120、メモリ124、ホスト・ブリッジ126および表示装置128が含まれる。上記の要素間の通信は、局所バス122によって提供される。データ処理システム100には、入出力装置132ないし132Nを接続された入出力バス130も含まれる。ホスト・ブリッジ126は、局所バス122と入出力バス130の間の通信手段を提供する。

【0009】上記の要素の多くは、周知であり、技術における通常の技術を有する者に理解されるので、詳細な説明は不要とみなされる。したがって、以下では、技術における通常の技術を有する者が追加の詳述を必要とする可能性がある要素だけを説明する。

【0010】本発明の第1の好ましい実施例では、OpenPIC標準規格が、プロセッサごとのレジスタ（プロセッサに割り込みを提示するための）、大域レジスタ、プロセッサ間割り込みおよびタイマ機構、および、任意指定の入出力割り込みグループを含む割り込み配布ユニット（IDU）を介する分散形式で実施される。

【0011】第1の好ましい実施例では、入出力割り込みグループ（other）は、データ処理システム100の入出力バスに、別々の物理的実体またはブリッジ・チップなどの他の実体の一部のいずれかとして存在する1つまたは複数の割り込みソース・ユニット（ISU）の間で分散される。IDU120およびISU126aは、この分散実施態様を表す。

【0012】IDU120とISU126aの間の通信は、アドレス・オンリー・トランザクション（Address Only Transactions）によって達成される。したがって、ISU126aによって報告される入出力割り込みは、アドレス・オンリー・トランザクションを介してIDU120に通信される。IDU120とISU126aに関する詳細を、図2に関連して説明する。

【0013】図2を参照すると、本発明の第1の好ましい実施例の教示による、図1のIDU120とホスト・ブリッジ126の要素を詳細に示すブロック図が示されている。IDU120には、リセット・ビット202aを有する大域構成（Global Configuration）レジスタ202、Otherレジスタ204、局所論理機構206およびマスタ・リセット・カウンタ208が含まれる。大域構成レジスタ202およびOtherレジスタ204の内容に関する詳細は、OpenPIC文書に記載されている。

【0014】CPU110がIDU120のリセットを所望する時には、必ずリセット・ビット202aに、アクティブの値1がセットされる。IDU120がリセットされた後に、リセット・ビット202aは、インアクティブ状態の0にリセットされる。IDU120のリセットの正味の効果は、制御レジスタ（中央ユニットと周辺ユニットの両方の大域構成レジスタ202、Otherレジスタ204）をデフォルト状態にリセットし、局所論理機構206をリセットすることである。

【0015】ISU126aには、割り込みソース・レジスタ210とリセット・カウンタ212が含まれる。ISU126aは、入出力割り込み packets を処理のためIDU120に送る。IDU120とISU126aの間の対話を、図3に関連して詳細に説明する。

【0016】図3を参照すると、本発明の第1の好まし

い実施例の教示による、CPU110からリセット・コマンドを受け取った際にIDU120によって実行されるステップを含む流れ図が示されている。この方法は、ステップ300から開始され、そこで、リセット・ビット202a（図2）が、CPU110によってセットされる。その後、ステップ302に進んで、IDU120が、その局所論理機構206、Otherレジスタ204および大域構成レジスタ202をリセットする。その後、ステップ304に進んで、IDU120が、マスタ・リセット・カウンタ208のカウンタを増加する。

【0017】その後、ステップ306に進んで、IDU120が、データ処理システム100内のすべてのISUに、リセット割り込み制御（RIC）パケットをブロードキャストする。RICパケットには、マスタ・リセット・カウンタ208の値の表示が含まれる。次に、ステップ308に進んで、このRICパケットを受け取るISUのそれぞれが、その局所論理機構、割り込みソース・レジスタおよびリセット・カウンタ212をリセットする。この例では、ISU126aが、RICパケットを受け取り、したがって、その割り込みソース・レジスタ210をリセットし、そのリセット・カウンタ212に、RICパケットによって指定された新しい値をセットする。その後、ステップ310に進んで、この方法は終了する。

【0018】本発明の第1の好ましい実施例では、入出力割り込みパケットのそれぞれが、リセット・カウンタ212の値を担持する。IDU120は、これらの入出力割り込みパケットを受け取る時に、パケットから示される値をそのマスタ・リセット・カウンタ208の値と比較する。これらの値が同一でない場合、受け取った入出力割り込みパケットは無効（すなわち、IDU120のリセットの前に生成された）であり、破棄される。

【0019】したがって、IDU120がリセットされている間に送られた入出力割り込みパケットは、前のリセット生成識別を担持することがわかる。したがって、IDU120は、この側面を利用でき、その入出力割り込みパケットを無効と識別できる。上で説明した方法では、有利なことに、各ISUがIDU120にRICパケットの受取の排他的な肯定応答を送るという時間を消費し、リソース負担の大きい要件が回避されることにも留意されたい。したがって、IDU120は、リセット・ビット202aをリセットするためにそのような肯定応答の受取を待つ必要がなくなる。したがって、ISUの個数を未指定のままにすることができる。

【0020】図4を参照すると、本発明の第2の好ましい実施例を実施できるデータ処理システム400のブロック図が示されている。図4からわかるように、第2の好ましい実施例では、複数のISUと割り込み配布ユニットが使用される。

【0021】データ処理システム400には、複数のノ

10

20

30

40

50

ード420ないし420Nと、複数のメモリ・ユニット418ないし418Nが含まれ、これらのそれぞれが、それらの間の通信のためにシステム相互接続416(たとえばバス)に結合される。ノード420ないし420Nのそれぞれには、ノード・コントローラ412、複数のCPU402ないし404、入出力サブシステム408および入出力ブリッジ410が含まれる。ノード420は、ノード420Aないし420Nの代表であり、これに関する説明は、ノード420Aないし420Nに対して同様に適用可能である。

【0022】上で述べた構成要素の多くが周知であり、技術における通常の技術を有する者に理解されるので、詳細な説明は不要とみなされる。したがって、以下では、技術における通常の技術を有する者が追加の詳述を必要とする可能性がある要素だけを説明する。

【0023】図4に示されているように、入出力サブシステム408ないし408Nのそれぞれには、ISU406が含まれる。ノード・コントローラ412にも、割込み配布ユニット(IDU)414が含まれる。IDU414とISU406は、多くの態様でIDU120(図2)およびISU126a(図2)に類似している。したがって、IDU414NおよびISU406Nに追加された追加機能のみを、以下で図5に関連して説明する。

【0024】図5を参照すると、本発明の第2の好ましい実施例の教示による、CPU402(A)ないし404(N)のうちの1つからリセット・コマンドを受け取った後にIDU414ないし414(N)のうちの選択された1つによって実行されるステップを示す流れ図が示されている。第2の好ましい実施例では、IDU414ないし414Nのうちの1つだけが、所与の時点でそれによってサポートされるCPUからのリセット・コマンドを受け取ることができる。したがって、コマンドを受け取るIDU414ないし414Nを、以下では主IDUと称する。

【0025】図5を参照すると、この方法は、IDU414ないし414Nのうちの1つが、CPU402(A)ないし404(N)のうちの1つからリセット・コマンドを受け取る際に、ステップ500で開始される。この例では、IDU414が、CPU404からリセット・コマンドを受け取ると仮定する。前に述べたように、リセット・コマンドを受け取るIDUを、主IDUと称する。

【0026】その後、ステップ502に進んで、主IDU414が、図2に関連して説明したものと同様の形でリセットする。その後、ステップ504に進んで、主IDU414が、そのマスタ・リセット・カウンタ208を増やす。その後、ステップ506に進んで、主IDU414が、残りの副IDU414Aないし414Nにリセット割込み制御(RIC)パケットをブロードキャスト

トする。その後、ステップ508に進んで、主IDU414が、その制御下にあるISU420にRICパケットをブロードキャストする。ステップ510で、RICパケットを受け取る際に、残りの副IDU414Aないし414Nがリセットし、その制御下のISUにRICパケットをブロードキャストし、主IDU414に肯定応答を送る。

【0027】その後、ステップ512に進んで、RICパケットを受け取るISUのそれぞれが、前に図2に関連して説明したように、そのリセット・カウンタを増やす。その後、ステップ514に進んで、副IDU414Aないし414Nのすべてから肯定応答を受け取った時に、主IDU414が、そのリセット・ビットに0をセットする。その後、この方法はステップ516に進んで終了する。

【0028】IDU414Aないし414Nのそれぞれによる割込みパケットの処理は、図2のIDU120に関連して説明した処理と同一であることに留意されたい。

【0029】したがって、本発明の動作および構成は、前述の説明から明白になると思われる。図示し説明してきた方法およびシステムは、好ましいという特徴を有するが、請求項で定義される本発明の趣旨および範囲から逸脱することなく、さまざまな変更または修正を行えることは明白である。

【0030】まとめとして、本発明の構成に関して以下の事項を開示する。

【0031】(1)リセット割込み制御信号を受け取り、これに応答して割込みソース手段の状況を変更する手段を含む、割込みソース手段の状況の表示を有する割込み信号を作成し、送出するための割込みソース手段と、リセット信号を受け取り、これに応答して割込み配布手段の状況を変更する手段、および割込み配布手段の状況と異なる状況を示す、受け取った割込み信号を破棄する手段、およびリセット信号の受取に応答して、リセット割込み制御信号を送出する手段を含む、割込み信号を受け取り、処理するための割込み配布手段と、を含む、データ処理システムの中央演算処理装置への割込みを処理するための装置。

(2)割込みソース手段が、割込みソース手段の状況を示すためのリセット・カウンタを含むことを特徴とする、上記(1)に記載の装置。

(3)割込み制御信号が、リセット値を含み、リセット割込み制御信号を受け取る手段が、リセット割込み制御信号を受け取り、リセット・カウンタの値をリセット値に変更する手段を含むことを特徴とする、上記(2)に記載の装置。

(4)割込み信号のそれぞれが、リセット・カウンタの値を含むことを特徴とする、上記(3)に記載の装置。

(5)割込み配布手段が、割込み配布手段の現在の状況

を示す値を有するマスタ・リセット・カウンタを含むことを特徴とする、上記(4)に記載の装置。

(6) 割込み制御信号が、マスタ・リセット・カウンタの値を含むことを特徴とする、上記(5)の装置。

(7) 複数の割込みソース手段が存在することを特徴とする、上記(6)に記載の装置。

(8) 割込み信号のそれぞれがその作成時点での割込みソース・ユニットの状況を示す、複数の割込み信号を、割込みソース・ユニットを使用して作成するステップと、割込み配布ユニットをリセットし、それによって、割込み配布ユニットの状況が割込みソース・ユニットの状況と異なるようにするステップと、割込み配布ユニットの状況と異なる状況を示す割込み信号のそれぞれを破棄するステップとを含む、データ処理システムの中央演算処理装置への割込みを処理する方法。

(9) 割込みソース・ユニットが、割込みソース・ユニットの状況を示すためのリセット・カウンタを含み、複数の割込み信号を作成するステップが、割込み信号のそれぞれがリセット・カウンタの値を示す、複数の割込み信号を、割込みソース・ユニットを使用して作成するステップを含むことを特徴とする、上記(8)に記載の方法。

(10) 割込み配布ユニットが、割込み配布ユニットの状況を示すマスタ・リセット・カウンタを含み、割込み配布ユニットをリセットするステップが、割込み配布ユニットをリセットし、これによって、マスタ・リセット・カウンタが変更されてリセット・カウンタの値と異なる値を有するようにするステップを含むことを特徴とする、上記(9)に記載の方法。

(11) 破棄するステップが、マスタ・カウンタの値と等しくないリセット値を示す割込み信号のそれぞれを破棄するステップを含むことを特徴とする、上記(10)に記載の方法。

(12) 複数の割込み信号を作成するステップが、割込み配布ユニットのリセットの前に、リセット・カウンタの値を示す第1割込み信号を、割込みソース・ユニットを使用して作成するステップと、割込み配布ユニットのリセットの後に、リセット・カウンタの値を示す第2割込み信号を、割込みソース・ユニットを使用して作成するステップとを含むことを特徴とする、上記(11)に記載の方法。

(13) 破棄するステップが、示されるリセット値がマスタ・リセット値と異なるので第2割込み信号を破棄するステップを含むことを特徴とする、上記(12)に記載の方法。

(14) さらに、示されるリセット値がマスタ・リセット値と同一なので第1割込み信号を処理するステップを含むことを特徴とする、上記(13)に記載の方法。

(15) 割込み信号のそれぞれが割込みソース手段の状況を示す、複数の割込み信号を作成するための割込みソ

ース手段と、割込み信号を処理するための割込み配布手段とを含み、前記割込み配布手段が、割込み配布手段をリセットし、これによって、割込み配布手段の状況が割込みソース手段の状況と異なるようにする手段と、割込み配布手段の状況と異なる状況を示す割込み信号のそれぞれを破棄する手段とを含む、データ処理システムの中央演算処理装置への割込みを処理する装置。

(16) 割込みソース手段が、割込みソース手段の状況を示すリセット・カウンタを含むことを特徴とする、上記(15)に記載の装置。

(17) 割込みソース手段が、割込み信号のそれぞれがその作成時点でのリセット・カウンタの値を示す複数の割込み信号を作成する手段を含むことを特徴とする、上記(16)に記載の装置。

(18) 割込み配布手段が、割込み配布手段の状況を示すマスタ・リセット・カウンタを含むことを特徴とする、上記(17)に記載の装置。

(19) 割込み配布手段をリセットする手段が、割込み配布手段をリセットし、これによって、マスタ・リセット・カウンタが変更されてリセット・カウンタの値と異なる値を有するようにする手段を含むことを特徴とする、上記(18)に記載の装置。

(20) 破棄する手段が、マスタ・カウンタの値と等しくないリセット値を示す割込み信号のそれぞれを破棄する手段を含むことを特徴とする、上記(19)に記載の装置。

(21) 割込みソース手段が、割込み配布手段のリセットの前に、リセット・カウンタの値を示す第1割込み信号を作成する手段と、割込み配布手段のリセットの後に、リセット・カウンタの値を示す第2割込み信号を作成する手段とを含むことを特徴とする、上記(20)に記載の装置。

(22) 破棄する手段が、示されるリセット値がマスタ・リセット値と異なるので第2割込み信号を破棄する手段を含むことを特徴とする、上記(21)に記載の装置。

(23) 割込み配布手段がさらに、示されるリセット値がマスタ・リセット値と同一なので第1割込み信号を処理する手段を含むことを特徴とする、上記(20)に記載の装置。

【図面の簡単な説明】

【図1】本発明の第1の好ましい実施例を実行できるデータ処理システムのブロック図である。

【図2】本発明の第1の好ましい実施例の教示による、図1の割込み配布ユニット(IDU)とホスト・ブリッジの要素を詳細に示すブロック図である。

【図3】本発明の第1の好ましい実施例の教示による、図1のIDUによって、中央演算処理装置からのリセット・コマンド受取時に実行されるステップを含む流れ図である。

【図4】本発明の第2の好ましい実施例を実施できるデータ処理システムを示すブロック図である。

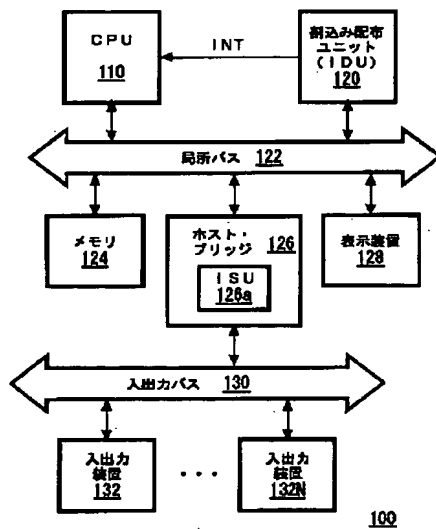
【図5】本発明の第2の好ましい実施例の教示による、図4のCPUのうちの1つからリセット・コマンドを受け取った後にI DU（図4）のうちの選択された1つによって実行されるステップを含む流れ図である。

【符号の説明】

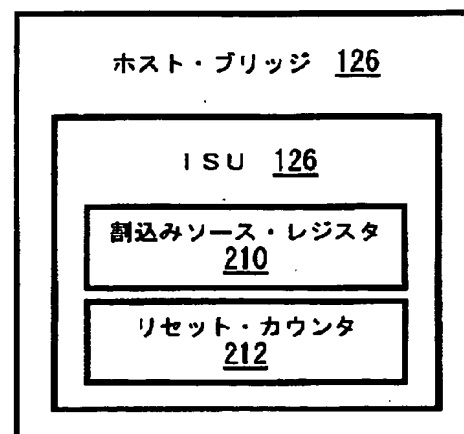
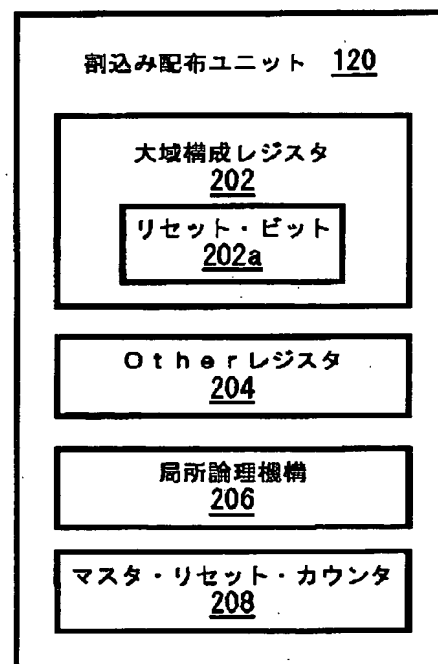
100 データ処理システム
110 中央演算処理装置（CPU）
120 割込み配布ユニット（I DU）
122 局所バス
124 メモリ
126 ホスト・ブリッジ
126a I SU

126a I SU
128 表示装置
130 入出力バス
132 入出力装置
132N 入出力装置
202 大域構成レジスタ
202a リセット・ビット
204 Otherレジスタ
206 局所論理機構
208 マスタ・リセット・カウンタ
210 割込みソース・レジスタ
212 リセット・カウンタ

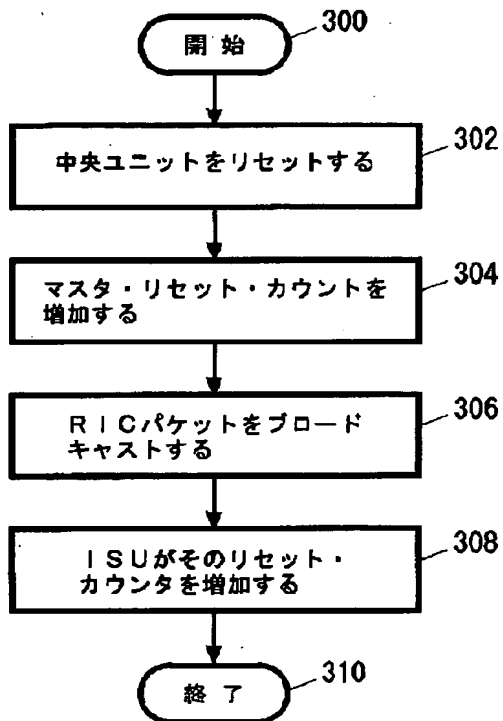
【図1】



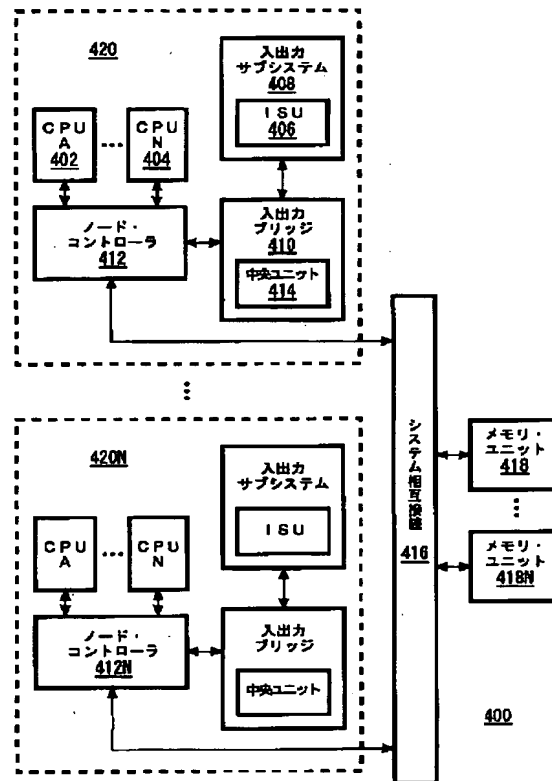
【図2】



【 図3 】



【 図4 】



【 図5 】

